

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-069632

(43)Date of publication of application : 11.03.1997

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 27/12

(21)Application number : 07-222424 (71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

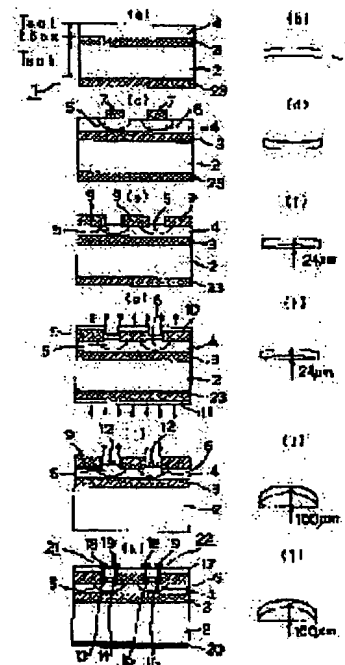
(22)Date of filing : 30.08.1995 (72)Inventor : SHIRAI YOSHIFUMI  
SUZUMURA MASAHIKO  
MAEDA MITSUhide  
HAYAZAKI YOSHIKI  
SUZUKI YUJI  
KISHIDA TAKASHI  
TAKANO KIMIJI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the warpage of SOI wafer occurring while performing the gate region forming process of a MOSFET.

**SOLUTION:** In a method for manufacturing a semiconductor device for forming MOSFETs 21 and 22 on an SOI wafer 1 where an active silicon layer 4 is formed on the surface of a substrate silicon layer 2 via a buried oxide layer 3, a reverse side insulation layer (oxide film 23) with the same material and equivalent thickness as those of the buried oxide layer 3 is formed on the reverse side of the substrate silicon layer 2 before the alignment process of a gate region 12 of the MOSFETs 21 and 22 and the oxide film 23 is eliminated after an alignment process.



## LEGAL STATUS

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-69632

(43)公開日 平成9年(1997)3月11日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 2 7 Z
21/336			27/12	Z
27/12			29/78	6 2 6 C
				6 2 7 D

審査請求 未請求 請求項の数3 OL (全 6 頁)

(21)出願番号	特願平7-222424	(71)出願人	000005832 松下電工株式会社 大阪府門真市大字門真1048番地
(22)出願日	平成7年(1995)8月30日	(72)発明者	白井 良史 大阪府門真市大字門真1048番地松下電工株式会社内
		(72)発明者	鈴木 正彦 大阪府門真市大字門真1048番地松下電工株式会社内
		(72)発明者	前田 光英 大阪府門真市大字門真1048番地松下電工株式会社内
		(74)代理人	弁理士 佐藤 成示 (外1名)

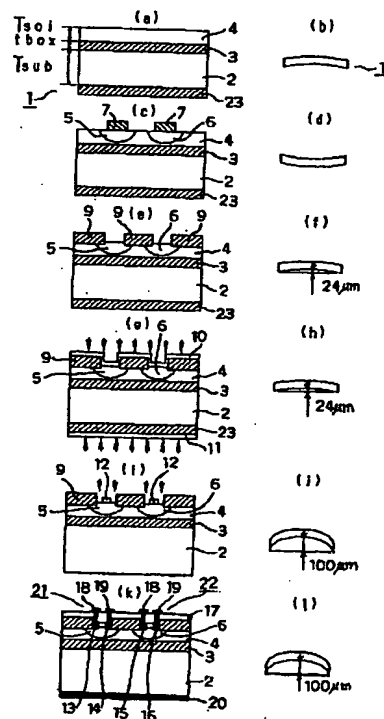
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 MOSFETのゲート領域形成工程を行う時点でのSOIウェハの反りを低減する。

【解決手段】 基板シリコン層 2 の表面に埋め込み酸化層 3 を介して活性シリコン層 4 を形成した SOI ウェハ 1 に、MOSFET 21、22 を形成する半導体装置の製造方法において、MOSFET 21、22 のゲート領域 12 のアライメント工程以前に、基板シリコン層 2 の裏面に、埋め込み酸化層 3 と同一の材料で同等の厚みを有する裏面絶縁層（酸化膜 23）を形成しておき、アライメント工程以後に酸化膜 23 を除去する。



## 【特許請求の範囲】

【請求項1】 半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハに、少なくとも1つのMOSFETを形成する半導体装置の製造方法において、前記MOSFETのゲート領域のアライメント工程以前に、前記半導体支持基板の裏面に前記基板間絶縁層と同一の材料で同等の厚みを有する裏面絶縁層を形成しておき、前記アライメント工程以後に、前記裏面絶縁層を除去することを特徴とする半導体装置の製造方法。

【請求項2】 半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハに、少なくとも1つのMOSFETを形成する半導体装置の製造方法において、前記MOSFETのゲート領域のアライメント工程以前に実施される、パターンニングされた窒化膜等の絶縁膜を用いた局所的な酸化工程以前に、前記半導体支持基板の裏面側に形成された前記絶縁膜を除去することを特徴とする半導体装置の製造方法。

【請求項3】 半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハに、少なくとも1つのMOSFETを形成する半導体装置の製造方法において、前記MOSFETのゲート領域となる層を堆積させる工程において前記半導体支持基板の裏面側に形成された、前記ゲート領域となる層と同材料の裏面層を除去せずに、前記ゲート領域となる層に不純物拡散を行う工程及び前記ゲート領域のアライメント工程を行い、その後、前記裏面層を除去することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、SOIウェハ上の島状素子領域にMOSFETを形成する、半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハでは、縦方向の素子分離は完成されており、横方向を何らかの方法で分離すれば全方向の素子分離が完結する。この特徴を活かし、パワー素子と制御用のCMOSとをSOIウェハ上の1チップ上に混載させた、高速制御に優れた小型・高信頼性半導体装置の研究開発がなされている。また、横方向分離には、V溝として知られる異方性エッチングまたはトレンチとして知られるシリコンドライエッチングが用いられている。

【0003】貼り合わせ法、または、SIMOX法の何れの製造方法においても、SOIウェハ1は、図2

(a)に示されているような3層構造となる。図2

(a)で、2は半導体支持基板となる基板シリコン層、3は基板シリコン層2の表面に形成された基板間絶縁層となる埋め込み酸化膜層、4は埋め込み酸化膜層3上に

形成された半導体素子形成基板である活性シリコン層である。SIMOX法ではシリコン基板の表面側から酸素イオンを注入して、シリコン基板中に埋め込み酸化膜層3を形成し、貼り合わせ法では、半導体素子形成基板である活性シリコン層4と、基板間絶縁層である埋め込み酸化膜層3との良好な界面状態を得るため活性シリコン層4を酸化して貼り合わせる。

【0004】SOIウェハ1の反りを考える場合、素子形成側の基板である活性シリコン層4は、支持基板側の基板である基板シリコン層2に比べて極めて薄いため無視でき、埋め込み酸化膜層3と基板シリコン層2の2層間の力の釣り合いを考えればよい。直径が4インチ、埋め込み酸化膜層3が $2\mu\text{m}$ のウェハには約 $50\mu\text{m}$ の反りが発生する。その反りの方向は、図2(b)に示すように、活性シリコン層4側に凸(上側に凸)となる。

【0005】発明者らが、図2(a)に示したSOIウェハ1を試料としてMOSFETの製造工程を行い、工程中のSOIウェハ1の反りを調査した結果、成膜及びその除去に関わる工程で、反りの著しい変化が見られた。その工程の1つはLOCOS酸化工程であり、もう1つはゲート領域となるポリシリコン膜を、活性シリコン層4上に形成する工程で同時に形成された、基板シリコン層2の裏面側のポリシリコン膜を除去する工程である。

【0006】以下、図2に基づいて各工程について説明する。図で、(a)、(c)、(e)、(g)、(i)、(k)は、SOIウェハ1の構造を示す断面図であり、(b)、(d)、(f)、(h)、(j)、(l)は、それぞれ、(a)、(c)、(e)、(g)、(i)、(k)に示す段階でのSOIウェハ1の反りを示す断面図である。

【0007】(c)及び(e)に基づいてLOCOS酸化工程について説明する。LOCOS酸化工程は、

(a)に示したSOIウェハ1の活性シリコン層3に、pウェル領域5、nウェル領域6を形成した後に、SOIウェハ1の表面及び裏面に、窒化シリコンを堆積し、それぞれの面上に窒化膜7、8を形成し、(c)に示すように、LOCOS酸化膜を形成する箇所の活性シリコン層4の表面が露出するように、表面側に形成された窒化膜7をパターンニングし、熱酸化を行って、(e)に示すように、SOIウェハ1の表面側に局所的にLOCOS酸化膜9を形成した後、SOIウェハ1の両面に形成されていた窒化膜7、8を除去する工程である。この工程が終了した時点では、(e)に示すように、酸化膜は、SOIウェハ1の表面側にのみ形成され裏面側に形成されていないため、力のバランスが崩れ反りが発生する。発明者らが用いたパターンの場合、LOCOS酸化膜9の厚さが $0.8\mu\text{m}$ の場合、新たに、約 $30\mu\text{m}$ の反り(上側に凸)が発生し、(f)に示すように、反りは約 $80\mu\text{m}$ となった。

【0008】次に、(g)に示す工程は、ゲート領域と基板間を絶縁するためにゲート酸化（酸化膜は図示を省略）を行い、SOIウェハ1の表面及び裏面にポリシリコンを堆積させポリシリコン膜10、11（ポリシリコン膜11は図示省略）を形成し、基板シリコン層2の裏面側に形成されたポリシリコン膜11を除去した後、SOIウェハ1の両面にリン拡散を行う工程である。

(g)に示すように、裏面側のポリシリコン膜11を除去することにより、SOIウェハ1の表面側のみポリシリコン膜10が残るため、新たに、反りが発生する。ポリシリコン膜10の厚さが $0.6\mu\text{m}$ で約 $20\mu\text{m}$ の反り（上側に凸）が発生した。すなわち、(b)に示すように、素子形成前に発生していた約 $50\mu\text{m}$ の反りに、LOCOS酸化により発生した約 $30\mu\text{m}$ の反り、さらに、裏面側のポリシリコン膜11を除去したことにより発生した約 $20\mu\text{m}$ の反りを加えた、約 $100\mu\text{m}$ の反りが、次工程のゲート領域のアライメント工程を行う段階で発生していることになる。

【0009】次に、ポリシリコン膜10に対する、ゲート領域のアライメント工程、パターンニング工程を経て、(i)に示すように、ゲート領域12を形成した後、pウェル領域5とnウェル領域6に、それぞれ、不純物を導入して、(k)に示すように、pウェル領域5とnウェル領域6内に、ソース領域13、ドレイン領域14、ソース領域15、ドレイン領域16を形成し、SOIウェハ1の表面に保護膜17を形成する。さらに、コンタクト、及びソース電極18、ドレイン電極19、裏面側電極20を形成して、MOSFET21、22を完成させる。

#### 【0010】

【発明が解決しようとする課題】以上に説明した製造方法によれば、パワー素子と制御用のCMOSFETとを混載することができ、高速制御に優れた小型・高信頼性の半導体装置が実現可能となるが、MOSFETを形成する工程中、最もアライメント精度が要求されるゲート領域形成工程を行う時点では、SOIウェハ1は約 $100\mu\text{m}$ の大きな反りを有しているため、マスク合わせ工程に多大な困難を及ぼすという問題点があった。

【0011】本発明は、上記問題点を鑑み成されたもので、その目的とするところは、ゲート領域形成工程を行う時点でのSOIウェハの反りを低減することができ、MOSFETの高精度化、低消費電力、高速化が図れる半導体装置の製造方法を提供することにある。

#### 【0012】

【課題を解決するための手段】上記課題を解決するため、請求項1記載の半導体装置の製造方法は、半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハに、少なくとも1つのMOSFETを形成する半導体装置の製造方法において、前記MOSFETのゲート領域のアライメント工程以前に、

前記半導体支持基板の裏面に前記基板間絶縁層と同一の材料で同等の厚みを有する裏面絶縁層を形成しておき、前記アライメント工程以後に、前記裏面絶縁層を除去することを特徴とするものである。この方法によれば、SOIウェハの略両面に同一材料で同等の厚みを有する絶縁膜を形成するため力の均衡が得られ反りを抑制することができる。

【0013】請求項2記載の半導体装置の製造方法は、半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハに、少なくとも1つのMOSFETを形成する半導体装置の製造方法において、前記MOSFETのゲート領域のアライメント工程以前に実施される、パターンニングされた窒化膜等の絶縁膜を用いた局所的な酸化工程以前に、前記半導体支持基板の裏面側に形成された前記絶縁膜を除去することを特徴とするものである。これにより、図2に示した従来の方法では、SOIウェハの片側（表面側）にのみ酸化膜が形成されていたのに対して、SOIウェハの両面に酸化膜が形成されるので力の均衡が得られ反りを抑制することができる。請求項1または請求項2記載の半導体装置の製造方法の場合、裏面電極を形成する時点で、裏面に形成されている酸化膜または絶縁膜を除去すればよい。

【0014】請求項3記載の半導体装置の製造方法は、半導体支持基板の表面に基板間絶縁層を介して半導体素子形成基板を形成したSOIウェハに、少なくとも1つのMOSFETを形成する半導体装置の製造方法において、前記MOSFETのゲート領域となる層を堆積させる工程において前記半導体支持基板の裏面側に形成された、前記ゲート領域となる層と同材料の裏面層を除去せずに、前記ゲート領域となる層に不純物拡散を行う工程及び前記ゲート領域のアライメント工程を行い、その後、前記裏面層を除去することを特徴とするものである。図2に示した従来の方法では、ゲート領域のアライメント工程を行う時点で、SOIウェハの片側（表面側）にのみポリシリコン膜が残されていたのに対して、請求項3記載の方法では、SOIウェハの両面にポリシリコン膜が残されているため、力の均衡が得られ反りを抑制することができる。

【0015】また、請求項3記載の半導体装置の製造方法では、半導体支持基板として、高濃度に不純物が導入された基板を用いるか、または、ゲート領域形成後であってかつ裏面電極形成前に、SOIウェハの裏面側のシリコンが露出した段階で、SOIウェハの裏面側にイオン注入を行うか、いずれかの方法によって裏面電極と基板シリコン層とのオーミック接触を確保することができる。さらに、この方法の場合、裏面電極を形成する時点で、裏面に形成されているポリシリコン膜を除去すればよい。

#### 【0016】

【発明の実施の形態】以下、図1の断面図に基づいて本発明の半導体装置の製造方法の一実施形態について説明する。図1に示す実施形態は、請求項1、請求項2、請求項3記載の方法を全て用いた製造方法である。但し、図2に示した構成と同等構成については同符号を付すこととする。

【0017】素子形成前のSOIウェハ1は、(a)に示すように4層構造を有するものであり、半導体支持基板である基板シリコン層2の表面に、基板間絶縁層となる埋め込み酸化膜層3が形成され、その埋め込み酸化膜層3上に、半導体素子形成基板である活性シリコン層4が形成され、基板シリコン層2の裏面に、埋め込み酸化膜層3（基板間絶縁層）と同一の材料で同等の厚みを有する、反り緩和用の酸化膜23（裏面側絶縁層）が形成されたものである。

【0018】(a)に示すSOIウェハ1を製造するためには、例えば、ウェハ貼り合わせ工程中の結合アニール工程にて、熱酸化プロセスを導入するか、あるいは、図2(a)に示した3層構造のSOIウェハを熱酸化してから基板シリコン層2側に形成された酸化膜をレジストで保護し、フッ酸水溶液で、他の領域の酸化膜を除去した後にレジストを発煙硝酸等で除去すればよい。

【0019】SOIウェハ1のサイズはウェハ直径が4インチすなわち100mmφ、活性シリコン層4の膜厚 $T_{soi}$ が20 $\mu\text{m}$ 以下、埋め込み酸化膜層3の膜厚 $t_{box}$ が約2 $\mu\text{m}$ 、基板シリコン層2の膜厚 $T_{sub}$ が約525 $\mu\text{m}$ 、さらに、反り緩和用の酸化膜23の膜厚は、膜厚 $t_{box}$ と同一の約2 $\mu\text{m}$ である。反り緩和用の酸化膜23を形成していない場合、SOIウェハ1の反りは約50 $\mu\text{m}$ （上側に凸）であったが、(a)に示すように構成しておくことにより、SOIウェハ1は、(b)に示すように、ほぼ平坦（わずかに上側に凸）になった。

【0020】次に、(c)に示すように、(a)に示したSOIウェハ1の表面にレジストマスクを用いて所定の領域に不純物イオン注入を行い、ウェル領域を形成する。例えば、p型のpウェル領域5を形成するためにボロニオンを注入し、n型のnウェル6領域を形成するためにリンイオンを注入し、熱拡散して、それぞれのウェル領域を確定する。

【0021】次に、パターニングされた窒化膜等の絶縁膜を用いて、各ウェル領域内の素子形成領域以外の領域を局所的に酸化して、LOCOS酸化による素子間分離を行う。つまり、窒化膜（絶縁膜）を低圧CVD法にて成長させた後、SOIウェハ1の表面をレジストで保護した状態で、SOIウェハ1の裏面に形成された窒化膜（絶縁膜）をリン酸等で除去して、SOIウェハ1の表面にのみ窒化膜を残す。そして、SOIウェハ1の表面の素子形成領域のみを窒化膜が被うように、窒化膜をマスクにてパターン加工して、(c)に示すように窒化膜7を形成し、熱酸化すれば、(e)に示すように、SO

Iウェハ1の表面では、窒化膜を除去した領域のみ酸化されるため、酸化膜9で被われた素子分離領域を形成することが可能になる。その後、(e)に示すように、窒化膜7をリン酸等で除去すれば素子分離工程が完了する。図1に示す実施形態では、素子分離領域の全体に占める割合が60%以上と大きいため、表面と裏面の、酸化される面積は同等レベルであるため、(d)に示すように、SOIウェハ1の反りはほとんど発生しない（下側にわずかに凸となる）。

【0022】これに対して、図2(c)に示したように、裏面の窒化膜8を除去しない状態で熱酸化工程を行うと表面側にのみ酸化膜が形成されるため反りが発生する。図2に示した例では、LOCOS酸化膜9の厚さが0.8 $\mu\text{m}$ の場合、約30 $\mu\text{m}$ （上側に凸）の反りが発生していた。もっとも、図1に示す方法の場合も、(a)に示すように、既にSOIウェハ1の裏面に反り緩和用の酸化膜23を形成しているので、熱酸化工程を行っても、新たに厚さ0.8 $\mu\text{m}$ もの酸化膜は形成されない。酸化膜23の厚さが約2 $\mu\text{m}$ の場合、新たに形成される酸化膜の厚さは約0.15 $\mu\text{m}$ であるため、酸化膜23の厚さは約2.15 $\mu\text{m}$ となる。従って、反りの緩和の効果もその分減少し、約24 $\mu\text{m}$ （上側に凸）の反りが発生する。つまり、LOCOS酸化工程での反りの緩和量は約6 $\mu\text{m}$ である。

【0023】以下、ゲート領域形成、ソース・ドレイン領域形成、保護膜形成、コンタクト形成、電極形成の工程について説明する。ゲート領域形成は、ゲート領域と基板間を絶縁するためにゲート酸化（酸化膜は図示省略）を行った後、(g)に示すように、SOIウェハ1の表面及び裏面にポリシリコンを堆積させ、それぞれ、ポリシリコン膜10、11を形成し、ポリシリコン膜10にリン拡散を行い、(i)に示すように、SOIウェハ1の表面に形成されたポリシリコン膜10をパターニングしてゲート領域12を形成し、SOIウェハ1の裏面に形成されていたポリシリコン膜11及び酸化膜23を除去する。これにより、図2(i)に示した構造と同構造となるため、反りも同程度に発生することになるが、高精度のアライメントが要求される工程は、(g)に示した段階での、ゲート領域を形成する工程であるため、少なくとも、その工程が終了するまで、SOIウェハ1の裏面側にポリシリコン膜11を残しておけばよい。

【0024】図2(g)に基づいて説明したように、SOIウェハ1の裏面のポリシリコン膜11（図2では図示省略）を除去した後、表面のポリシリコン膜10と、裏面の基板シリコン層2にリン拡散を行い、その後に、ゲート領域形成の工程を配置した場合には、ポリシリコン膜は、SOIウェハ1の表面側だけに形成されているため、新たに、反りが約20 $\mu\text{m}$ （上側に凸）発生していた。それに対して、図1に示す実施形態では、かなり平



平坦な状態（反り $24\mu\text{m}$ 程度）で、ゲート領域形成が可能である。ゲート領域形成後は、図2（i）及び図2

（k）に示した工程と同様に、ソース領域13、15、ドレイン領域14、16、保護膜17、コンタクト、電極（ソース電極18、ドレイン電極19、裏面電極20）を形成してMOSFET21、22を完成させる。

【0025】以上に説明したように、本実施形態に示した方法によれば、図2に示した方法を用いた場合に比べて、SOIウェハの反りを約 $76\mu\text{m}$ 緩和することができた。つまり、ゲート領域を形成する時点での、SOIウェハの反り量は、約 $24\mu\text{m}$ しかないもので、ゲート領域がより高精度に加工できるのである。これにより、制御・駆動IC及びスイッチング素子がサブミクロンの寸法で設計できるので、高機能・高集積・低消費電力のパワーICが容易に開発できる。また、SOIウェハの反りの低減は、生産工程における搬送トラブルレスにも寄与するものである。

【0026】但し、図2に示した方法では、図2（g）に示す工程で、SOIウェハ1の基板シリコン層2の裏面に、リン拡散により不純物導入を行って、裏面電極20と基板シリコン層2とのオーミック接触を実現していたが、図1に示す方法では、（g）に示した、表面側のポリシリコン層10への不純物導入工程では、基板シリコン層2の裏面は、ポリシリコン膜11によって被われているため、その工程で同時に不純物を導入することができなかった。しかし、SOIウェハ1は、活性シリコン層4と基板シリコン層2とが埋め込み酸化膜層3で分離された構造となっているため、基板シリコン層2の不純物濃度は、MOSFETの基本特性に関連する、活性シリコン層4の不純物濃度と独立に設定することができるため、本実施形態では、不純物濃度が $10^{19}$ 程度の高濃度不純物層を基板シリコン層2として用いた。これによ

り、裏面電極20とのオーミック接触が可能となる。また、ゲート領域形成後の、基板シリコン層2の裏面側のシリコンが露出している段階で、イオン注入により基板シリコン層2の裏面にオーミック接触を確保するための不純物導入を行うようにしてもよい。

#### 【0027】

【発明の効果】請求項1乃至請求項3記載の半導体装置の製造方法によれば、ゲート領域を形成する時点でのSOIウェハの反りを低減することができ、MOSFETの高精度化、低消費電力、高速化が図れ、制御・駆動IC及びスイッチング素子がサブミクロンの寸法で設計できるので高機能・高集積・低消費電力のパワーICが容易に開発できる。また、SOIウェハの反りの低減は、生産工程における搬送トラブルレスにも寄与するものである。

#### 【図面の簡単な説明】

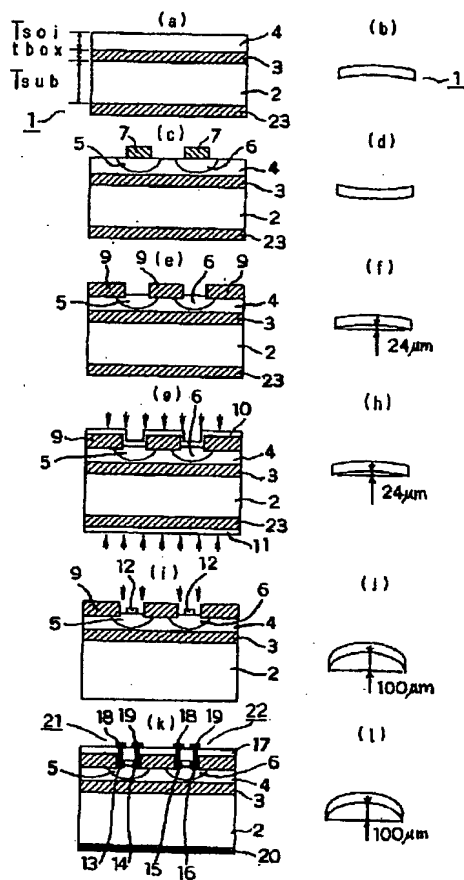
【図1】本発明の半導体装置の製造方法の一実施形態を示す断面図である。

【図2】従来の半導体装置の製造方法の一例を示す断面図である。

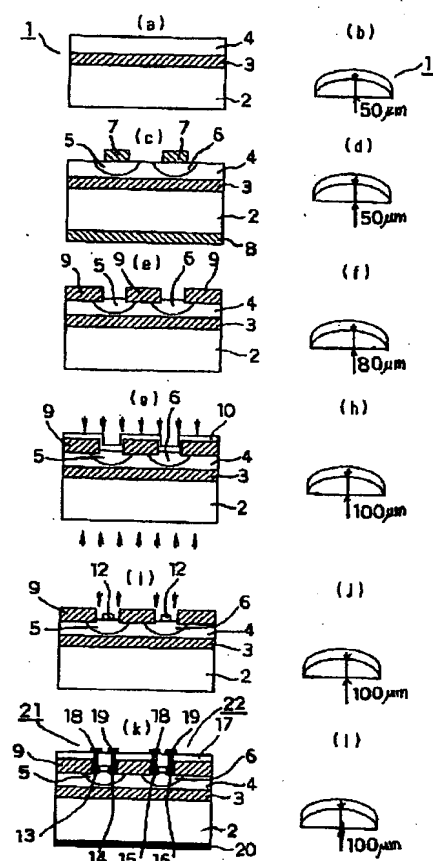
#### 【符号の説明】

1	SOIウェハ
2	基板シリコン層（半導体支持基板）
3	埋め込み酸化膜層（基板間絶縁層）
4	活性シリコン層（半導体素子形成基板）
7	窒化膜（絶縁膜）
11	ポリシリコン膜（裏面層）
12	ゲート領域
21、22	MOSFET
23	酸化膜（裏面絶縁層）

【図1】



【図2】



フロントページの続き

(72)発明者 早崎 嘉城  
大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 鈴木 裕二  
大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 岸田 貴司  
大阪府門真市大字門真1048番地松下電工株  
式会社内

(72)発明者 高野 仁路  
大阪府門真市大字門真1048番地松下電工株  
式会社内